prochinese sili in	e D
MINISTRYJOF ECONOMIC AFFAIRS R O C Web Search	Seach .
About TIPO Press Release What's New Claws & Regulations How to Statistics Enforcement & Prosecution Contemptional	Harmonization C

How to...

688

**Procedures** 

Fees

TW Patent Search -Patent-

Patent No 560007

7 Publication Date

2003/11/1

Application No

091123807 Filing Date

2002/10/16

Title

CMOS device and its manufacturing method

IPC

H01L21/8234

-Author / inventor

HUANG, CHIEN-CHAO (TW ) ; WANG, CHAO-HSIUNG (TW ) ;

GE, CHUNG-HU (TW) ; HU, CHENMING (US) ;

-Applicant-

Name

Country Individual/Company

TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.

TW Company

-Patent Abstract-

A kind of CMOS device is provided in the present invention, in which the structure of CMOS device includes disposing the compressive or the tensile stress material layer on the surface of PMOS transistor, and disposing the tensile stress material layer on the surface on the NMOS transistor. In addition, the invention also provides the manufacturing method of CMOS device.

Last Update : 2004/7/16



中華民國專利公報 [19] [12]

[11]公告編號:560007

11月01日 [44]中華民國 92年 (2003)

發明

全 9 頁

[51] Int.Cl. H01L21/8234

稱: CMO S元件及其製造方法 [54]名

·[21]申請案號: 091123807

[22]申請日期: 中華民國 91年 (2002) 10月16日

[72]發明人:

黄健朝 王昭雄 新竹市光復路二段四六七巷三十二號六樓之· 臺北市萬華區貴陽街二段二〇一之十八號

臺北縣新店市中央三街九十五號 葛崇祜

胡正明

[71]申請人:

美國

台灣積體電路製造股份有限

公司

新竹市新竹科學工業團區園區三路

[74]代理人: 洪澄文 先生

顏錦順 先生

[57]申請專利範圍:

- 1.一種 CMOS 元件,包括:
  - 一基底;
  - 一PMOS 電晶體和一NMOS 電晶 體,設於該基底上;以及
  - 一拉伸應力材質層,至少設於該 PMOS 電晶體和該 NMOS 電晶體之 **源極和汲極上。**
- 2.如申讀專利範圍第1項所述之CMOS 元件,其中該 PMOS 電晶體和該 NMOS 電晶體的通道寬度介於 0.05 微米至1微米之間。
- 3.如申請專利範圍第1項所述之CMOS 元件,其中該 PMOS 電晶體和該 NMOS 電晶體的通道長度介於 20 奈 米至60奈米之間。

4.如申請專利範圍第1項所述之CMOS 元件,其中該 PMOS 電晶體和該 NMOS 電晶體的閘極氧化層的厚度 介於8埃至15埃之間。

2

- 5.如申請專利範圍第1項所述之CMOS 元件,其中該 PMOS 電晶體和該 NMOS電晶體的操作電壓介於0.5伏 特至 1.2 伏特之間。
  - 6.如申請專利範圍第1項所述之CMOS 元件,其中該拉伸應力層的形成方 法為磊晶法。
    - 7.如申請專利範圍第1項所述之CMOS 元件,其中該拉伸應力層的形成方 法為電漿沈積法。
- 8.如申請專利範圍第1項所述之CMOS 15.

10.

25.

元件,其中該拉伸應力層的形成方 法為快速熱沈積法。

- 9.如申請專利範圍第8項所述之CMOS 元件,其中利用快速熱沈積法形成 該拉伸應力層所需的溫度介於300℃ 和800℃之間。
- 10.如申請專利範圍第8項所述之 CMOS元件,其中利用快速熱沈積 法形成該拉伸應力層所需的壓力介 於150托爾和300托爾之間。
- 11. 如申請專利範圍第1項所述之 CMOS元件,其中該拉伸應力層的 材質為氮氧化矽(SiON)。
- 12.如申請專利範圍第1項所述之 CMOS元件,其中該拉伸應力層的 材質為富含矽的氮化矽(SiN<sub>x</sub>, x=0.6~1.0)。
- 13.如申請專利範圍第12項所述之 CMOS元件,其中形成該拉伸應力 層的製程氣體為NH<sub>3</sub>:SiH<sub>4</sub>,比例為 50~400。
- 14.如申請專利範圍第12項所述之 CMOS 元件,其中形成該拉伸應力 層的製程氣體為 DCS: NH<sub>3</sub>,比例 為 0.1~1。
- 15. 如申請專利範圍第1項所述之 CMOS元件,其中該拉伸應力層的 材質為富含氮的氮化矽(SiN,,, x=1.0~1.3)。
- 16.一種 CMOS 元件的製造方法,包括:
- ✓ 提供一基底,該基底具有一第一主 動區和一第二主動區;
- ✓ 分別於該第一主動區和該第二主動 區形成一第一導電型電晶體和一第 二導電型電晶體;
- ✓ 於該第一和第二導電型電晶體上形成一第一應力層,其中該第一導電型電晶體為PMOS電晶體和NMOS電晶體二者擇一,當該第一導電型

電晶體為 PMOS 電晶體,則該第一 應力層為一壓縮應力層,當該第一 導電型電晶體為 NMOS 電晶體,則 該第一應力層為一拉伸應力層:

5. 木於該第一應力層上形成一應力緩衝

- 移除對應於該第二主動區之該應力 緩衝層和該第一應力層,使該應力 緩衝層和該第一應力層覆蓋於該第 一主動區之該第一導電型電晶體 上;
- 人於該第二導電型電晶體和該應力緩 衝層上形成一第二應力層,其中當 該第二導電型電晶體為 NMOS 電晶 電,則該第二應力層為一拉伸應力 層,當該第二導電型電晶體為PMOS 電晶體,則該第二應力層為一壓縮 應力層:
- ✓ 移除對應於該第一主動區之該第二20. 應力層:以及 \_\_\_

移除該應力緩衡層

- 17.如申請專利範圍第16項所述之 CMOS元件的製造方法,其中該壓 縮應力層的厚度介於100埃和500埃 之間。
- 18. 如申請專利範圍第 16 項所述之 CMOS 元件的製造方法,其中該壓 縮應力層的形成方法為沈積法。
- 19.如申請專利範圍第16項所述之 30. CMOS元件的製造方法,其中該壓 縮應力層的形成方法為磊晶法。
  - 20.如申請專利範圍第16項所述之 CMOS元件的製造方法,其中該壓 縮應力層的形成方法為電漿沈積 法。
  - 21.如申請專利範圍第20項所述之 CMOS元件的製造方法,其中利用 電漿沈積法形成該壓縮應力層所需 的溫度介於300℃和500℃之間。
- 40. 22.如申請專利範圍第20項所述之

35.

15.

CMOS 元件的製造方法,其中利用 電漿沈積法形成該壓縮應力層所需 的壓力介於 1.0 托爾和 1.5 托爾之 間。

- 23.如申請專利範圍第20項所述之 CMOS 元件的製造方法,其中利用 電漿沈積法形成該壓縮應力層所需 的電漿電力介於1000瓦和2000瓦之 間。
- 24. 如申請專利範圍第16項所述之 CMOS元件的製造方法,其中該壓 縮應力層的材質為氮氧化矽(SiON)。
- 25.如申請專利範圍第16項所述之 CMOS元件的製造方法,其中該壓 縮應力層的材質為富含矽的氮化矽 (SiN, x=0.6~1.0)。
- 26.如申請專利範圍第25項所述之 CMOS 元件的製造方法,其中形成 該壓縮應力層的製程氣體為 NH<sub>3</sub>: SiH<sub>4</sub>,比例為4~10。
- 27.如申請專利範圍第16項所述之 CMOS元件的製造方法,其中該應 力緩衝層的材質為氧化矽(SiO,)。
- 28.如申請專利範圍第16項所述之 CMOS元件的製造方法,其中該應 力緩衝層的厚度介於50埃和500埃 之間。
- 29.如申請專利範圍第 16 項所述之 CMOS 元件的製造方法,其中該拉 伸應力層的形成方法為磊晶法。
- 30.如申請專利範圍第16項所述之 CMOS元件的製造方法,其中該拉 伸應力層的形成方法為電漿沈積 法。
- 31.如申請專利範圍第 16 項所述之 CMOS 元件的製造方法,其中該拉 伸應力層的形成方法為快速熱沈積 法。
- 32.如申請專利範圍第31項所述之

CMOS 元件的製造方法,其中利用 快速熱沈積法形成該拉伸應力層所 需的溫度介於 300℃和 800℃之間。

- 33. 如申請專利範圍第 31 項所述之 CMOS 元件的製造方法,其中利用 快速熱沈積法形成該拉伸應力層所 需的壓力介於 150 托爾和 300 托爾之 間。
- 34.如申請專利範圍第16項所述之 CMOS元件的製造方法,其中該拉 伸應力層的材質為氮氧化矽(SiON)。
  - 35.如申請專利範圍第16項所述之 CMOS元件的製造方法,其中該拉 伸應力層的材質為富含矽的氮化矽 (SiN, x=0.6~1.0)。
  - 36.如申請專利範圍第35項所述之 CMOS 元件的製造方法,其中形成 該拉伸應力層的製程氣體為NH,: SiH,,比例為50~400。
- 20. 37.如申請專利範圍第35項所述之 CMOS元件的製造方法,其中形成 該拉伸應力層的製程氣體為 DCS: NH,,比例為0.1~1。
- 38.如申請專利範圍第16項所述之 25. CMOS 元件的製造方法,其中該拉 伸應力層的材質為富含氮的氮化矽 (SiN\_, x=1.0~1.3)。

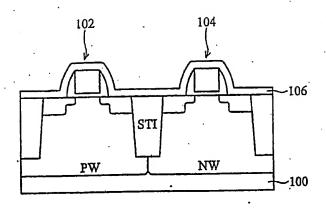
## 圖式簡單說明:

第1A 圖和第1B 圖係表示傳統提 30. 高p通道層的電流並避免n通道層的電 流特性惡化的方法之示意圖。

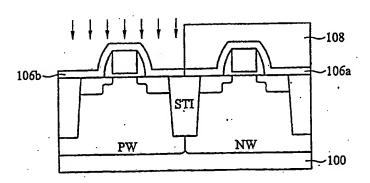
第 2A 圖和第 2B 圖係表示傳統提高n通道層的電流並避免p通道層的電流並避免p通道層的電流特性惡化的方法之示意圖。

第 3A 圖至第 3G 圖係繪示根據本 發明一實施例之一種 CMOS 元件的製 造方法之示意圖。

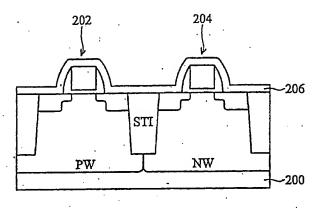
第4圖係繪示通道區的長度和寬 度之定義。



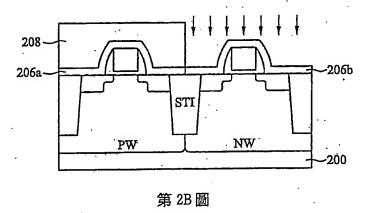
第 1A 圖

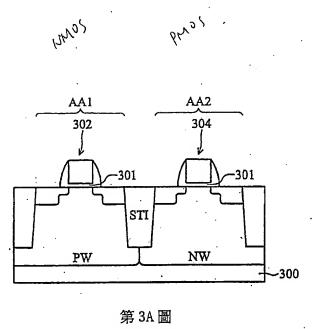


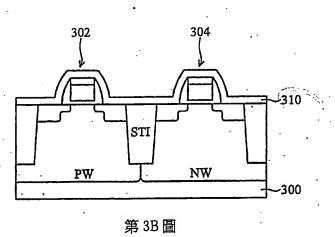
第 1B 圖

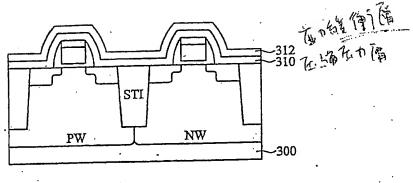


第 2A 圖

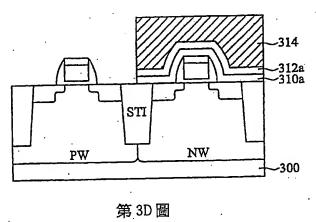


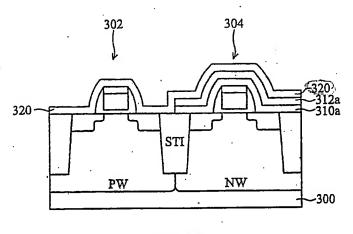




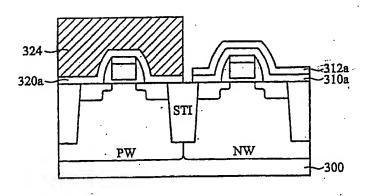


第 3C 圖



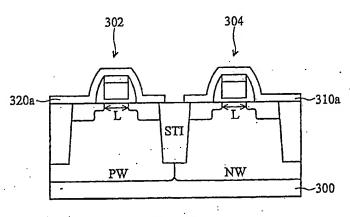


第 3E 圖

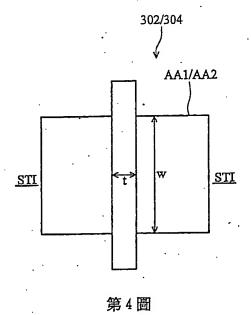


第 3F 圖

**- 4840 -**



第 3G 圖



.

## This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

/	BLACK BORDERS
	☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
	☐ FADED TEXT OR DRAWING
	BLURRED OR ILLEGIBLE TEXT OR DRAWING
	☐ SKEWED/SLANTED IMAGES
/	COLOR OR BLACK AND WHITE PHOTOGRAPHS
	☐ GRAY SCALE DOCUMENTS
	☐ LINES OR MARKS ON ORIGINAL DOCUMENT
	☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
	OTHER.

## IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.